



財團法人工業技術研究院

ESL 架構相關技術及專利非專屬授權案

一、主辦單位：財團法人工業技術研究院（以下簡稱「工研院」）

二、非專屬授權標的：ESL 架構相關技術（2 件）及專利（3 案 8 件）詳如下述網站：

（一）工研院研發成果公告網：

<https://www.itri.org.tw/chi/Content/Bulletin/list.aspx?&SiteID=1&MmmID=3000&SY=0&CatID=1>

（二）台灣技術交易資訊網(TWTM)：

<https://www.twtm.com.tw/Web/index.aspx>

三、非專屬授權廠商資格：國內依中華民國法令組織登記成立且從事研發、設計、製造或銷售之公司法人。

四、公開說明會：

（一）舉辦時間：民國（下同）106 年 12 月 21 日下午 14 時至 15 時。

（二）舉辦地點：新竹縣竹東鎮中興路四段 195 號 51 館 110-1 室。

（三）報名須知：採電子郵件方式報名。有意報名者，請於 106 年 12 月 20 日中午 12 時整(含)前以電子郵件向本案聯絡人報名(主旨請註明「ESL 架構相關技術及專利非專屬授權案公開說明會報名」，並於內文中陳明：公司名稱、公司電話、參與人數、姓名、職稱。)。

五、聯絡人：

工研院技術移轉與法律中心 李小姐

電話：(03) 591-7759

傳真：(03) 582-0466

電子信箱：lislee@itri.org.tw

地址：31057 新竹縣竹東鎮中興路四段 195 號 51 館 110 室



附件：授權標的清單

一、專利清單(3案8件)

案號	件號	專利中文名稱	專利英文名稱	狀態	國家	申請日	申請案號	專利證號	專利起期	專利迄期	委辦單位
1	1	晶片上網路之時序功率估算裝置與方法	Noc timing power estimating device and method thereof	審查中	CN	20141211	201410758548.2				經濟部技術處
	2	晶片上網路之時序功率估算裝置與方法	Noc timing power estimating device and method thereof	獲證	TW	20141124	103140607	I531187	20160421	20341123	經濟部技術處
	3	晶片上網路之時序功率估算裝置與方法	Noc timing power estimating device and method thereof	獲證	US	20141230	14/585,864				經濟部技術處
2	4	產生電源供應網路模型之方法，以及電源供應網路模型分析方法與裝置	Method for modeling power distribution network and power distribution network (pdn) model analysing method and device)	獲證	TW	20150724	104124054	I559161	20161121	20350723	經濟部技術處
	5	產生電源供應網路模型之方法，以及電源供應網路模型分析方法與裝置	Method for generating power distribution network (pdn) model, and power distribution network analysis method and device	審查中	US	20151118	14/945,417				經濟部技術處
3	6	存儲器事務層級模型模擬方法及系統	Memory transaction-level modeling method and system	審查中	CN	20161206	201611107634.2				經濟部技術處



案號	件號	專利中文名稱	專利英文名稱	狀態	國家	申請日	申請案號	專利證號	專利起期	專利迄期	委辦單位
	7	記憶體事務層級模型模擬方法及系統	Memory transaction-level modeling method and system	獲證	TW	20160910	105129513	I587218	20170611	20360909	經濟部技術處
	8	記憶體事務層級模型模擬方法及系統	Memory transaction-level modeling method and system	審查中	US	20161227	15/391,082				經濟部技術處

二、技術清單(2件)

件號	名稱	技術特色	可應用範圍	科專計畫
1	基於 DRAM 之記憶體建模技術 DRAM-based Memory Modeling Technology	<p>(1) Partial bank status updating 機制:只針對有 commands 之 bank 更新其 bank status 並利用相依區間(Independence Interval)之機制來降低 bank status 之更新次數以加快模擬速度</p> <p>(2) Command-based 建模技術: 針對所接收之 transaction，根據 DRAM 所使用之協定(例如:LPDDR3)進行 command 層級之排序時間預估與排序衝突(scheduling conflict)來完成記憶體系統之模型建置。</p> <p>(3)Transaction-based 建模技術:針對所接收之 transaction，以 transaction 為單位進行時間排序預估與排序衝突(scheduling conflict)偵測來完成記憶體系統之模型建置。</p>	SoC 系統	智慧手持裝置核心技術攻堅計畫
2	效能與功耗感知全系統模擬技術 PPA-aware Full System Simulation Technology	<p>支援 ARM Cortex-A 指令集架構；Instruction-based 處理器時序模型設計並支援 L1/L2 快取記憶體時序計算；State-based 處理器功耗模型設計</p> <p>；支援動態時序模擬精確度切換以達到精確度與模擬速度之需求；具自動化工具來簡化新 IP 模型之整合流程。</p>	<p>提升晶片設計抽象層級，提前進行軟體開發與整合驗證，加速晶片系統開發時程；以處理器為主導的全系統情境驅動。</p> <p>(Scenario-Driven)之事務層級效能與功耗模擬，於設計初期即可分析及改善系統效能與耗電問題</p>	智慧手持裝置核心技術攻堅計畫